

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-110717

(43)Date of publication of application : 12.04.2002

(51)Int.Cl.

H01L 21/56
H01L 23/12
H01L 23/28
H01L 25/00
// H05K 3/28
H05K 3/46

(21)Application number : 2000-301674

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 02.10.2000

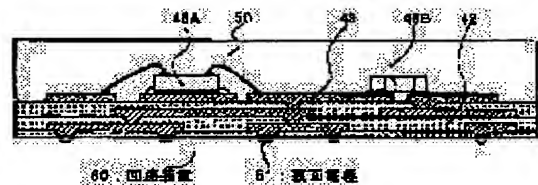
(72)Inventor : SAKAMOTO NORIAKI
KOBAYASHI YOSHIYUKI
SAKAMOTO JUNJI
OKADA YUKIO
IGARASHI YUUSUKE
MAEHARA EIJU
TAKAHASHI YUKITSUGU

(54) MANUFACTURING METHOD OF CIRCUIT DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To solve the problem of a manufacturing method of high mass productively realizing multi-layer wiring cannot be established in the circuit device mounting a ceramic board, a flexible sheet and the like as a support board.

SOLUTION: The manufacturing method of the circuit device suitable for mass-production in with high degree of resource saving, having a multi-layer structure conductive pattern 43 forming a plurality of conductive patterns 4 on a conductive foil 30 for forming a multi-layer wiring structure, and furthermore, mounting a circuit element 46 to be molded by an insulation resin 50 and removing the conductive foil 30 can be realized.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-110717

(P2002-110717A)

(43) 公開日 平成14年4月12日 (2002.4.12)

(51) Int.Cl.⁷

識別記号

F I

テ-マコ-ト*(参考)

H 0 1 L 21/56

H 0 1 L 21/56

R 4 M 1 0 9

23/12

23/28

Z 5 E 3 1 4

23/28

25/00

B 5 E 3 4 6

25/00

H 0 5 K 3/28

G 5 F 0 6 1

// H 0 5 K 3/28

3/46

Q

審査請求 未請求 請求項の数14 O L (全 10 頁) 最終頁に続く

(21) 出願番号

特願2000-301674(P2000-301674)

(22) 出願日

平成12年10月2日(2000.10.2)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 坂本 則明

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(72) 発明者 小林 義幸

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(74) 代理人 100091605

弁理士 岡田 敬 (外1名)

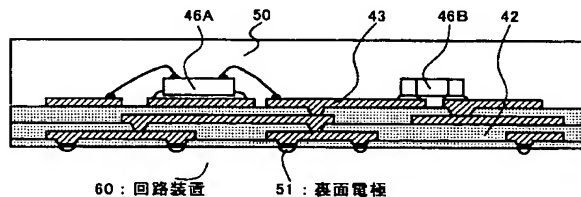
最終頁に続く

(54) 【発明の名称】 回路装置の製造方法

(57) 【要約】

【課題】 セラミック基板、フレキシブルシート等を支持基板として回路素子が実装された回路装置がある。しかし、この回路装置では多層配線を実現する量産性の高い製造方法が確立されていない問題があった。

【解決手段】 導電箔30上に複数層の導電パターン43を形成して多層配線構造を作り、更に回路素子46を実装し、絶縁性樹脂50でモールドし、導電箔30を除く多層構造の導電パターン43を有する極めて省資源で大量生産に適した回路装置の製造方法を実現できる。



【特許請求の範囲】

【請求項 1】 導電箔を用意し、層間絶縁膜を介して複数層の導電パターンを形成する工程と、
 所望の前記導電パターンに回路素子を組み込む工程と、
 前記回路素子を被覆し全体を絶縁性樹脂でモールドする工程と、
 前記導電箔を除去する工程とを具備することを特徴とする回路装置の製造方法。

【請求項 2】 導電箔を用意し、層間絶縁膜を介して複数層の導電パターンを形成する工程と、
 所望の前記導電パターンに回路素子を組み込む工程と、
 前記回路素子を被覆し全体を絶縁性樹脂でモールドする工程と、
 前記導電箔を除去する工程と、
 前記絶縁性樹脂を各々の前記回路素子を含み回路装置毎にダイシングにより分離する工程とを具備することを特徴とする回路装置の製造方法。

【請求項 3】 前記導電箔は銅、アルミニウム、鉄-ニッケルのいずれかで構成されることを特徴とする請求項 1 または請求項 2 に記載された回路装置の製造方法。

【請求項 4】 前記導電箔に選択的に導電被膜を形成した後、前記複数層の導電パターンを形成し、前記導電箔を除去する際に前記導電被膜を残すことを特徴とする請求項 1 または請求項 2 に記載された回路装置の製造方法。

【請求項 5】 前記導電被膜は金あるいは銀メッキ層で形成されることを特徴とする請求項 4 に記載された回路装置の製造方法。

【請求項 6】 前記導電被膜を裏面電極として用いることを特徴とする請求項 4 に記載された回路装置の製造方法。

【請求項 7】 前記層間絶縁膜として熱硬化性樹脂を用いることを特徴とする請求項 1 または請求項 2 に記載された回路装置の製造方法。

【請求項 8】 前記層間絶縁膜にビアホールをレーザーで形成することを特徴とする請求項 7 に記載された回路装置の製造方法。

【請求項 9】 前記層間絶縁膜として感光性レジスト層を用いることを特徴とする請求項 1 または請求項 2 に記載された回路装置の製造方法。

【請求項 10】 前記層間絶縁膜にビアホールを感光により形成することを特徴とする請求項 9 に記載された回路装置の製造方法。

【請求項 11】 前記複数層の導電パターンは銅メッキ層で形成されることを特徴とする請求項 1 または請求項 2 に記載された回路装置の製造方法。

【請求項 12】 前記銅メッキ層は無電界メッキおよび電界メッキにより形成されることを特徴とする請求項 11 に記載された回路装置の製造方法。

【請求項 13】 前記回路素子は半導体ベアチップ、チ

ップ回路部品のいずれかあるいは両方を固着されることを特徴とする請求項 1 または請求項 2 に記載された回路装置の製造方法。

【請求項 14】 前記絶縁性樹脂はトランスファーマールドまたはポッティングでモールドされることを特徴とする請求項 1 または請求項 2 に記載された回路装置の製造方法。

【発明の詳細な説明】

【0001】

10 【発明の属する技術分野】本発明は、回路装置の製造方法に関し、特に支持基板を不要にした多層配線の回路装置の製造方法に関するものである。

【0002】

【従来の技術】従来、電子機器にセットされる回路装置は、携帯電話、携帯用のコンピューター等に採用されるため、小型化、薄型化、軽量化が求められている。

20 【0003】例えば、回路装置として半導体装置を例にして述べると、一般的な半導体装置として、従来通常のトランスファーマールドで封止されたパッケージ型半導体装置がある。この半導体装置は、図 10 のように、プリント基板 P S に実装される。

【0004】またこのパッケージ型半導体装置は、半導体チップ 2 の周囲を樹脂層 3 で被覆し、この樹脂層 3 の側部から外部接続用のリード端子 4 が導出されたものである。

【0005】しかしこのパッケージ型半導体装置 1 は、リード端子 4 が樹脂層 3 から外に出ており、全体のサイズが大きく、小型化、薄型化および軽量化を満足するものではなかった。

30 【0006】そのため、各社が競って小型化、薄型化および軽量化を実現すべく、色々な構造を開発し、最近では C S P (チップサイズパッケージ) と呼ばれる、チップのサイズと同等のウェハスケール C S P、またはチップサイズよりも若干大きいサイズの C S P が開発されている。

40 【0007】図 11 は、支持基板としてガラスエポキシ基板 5 を採用した、チップサイズよりも若干大きい C S P 6 を示すものである。ここではガラスエポキシ基板 5 にトランジスタチップ T が実装されたものとして説明していく。

【0008】このガラスエポキシ基板 5 の表面には、第 1 の電極 7、第 2 の電極 8 およびダイパッド 9 が形成され、裏面には第 1 の裏面電極 10 と第 2 の裏面電極 11 が形成されている。そしてスルーホール T H を介して、前記第 1 の電極 7 と第 1 の裏面電極 10 が、第 2 の電極 8 と第 2 の裏面電極 11 が電気的に接続されている。またダイパッド 9 には前記ベアのトランジスタチップ T が固着され、トランジスタのエミッタ電極と第 1 の電極 7 が金属細線 12 を介して接続され、トランジスタのベース電極と第 2 の電極 8 が金属細線 12 を介して接続され

ている。更にトランジスタチップTを覆うようにガラスエポキシ基板5に樹脂層13が設けられている。

【0009】前記CSP6は、ガラスエポキシ基板5を採用するが、ウェハスケールCSPと違い、チップTから外部接続用の裏面電極10、11までの延在構造が簡単であり、安価に製造できるメリットを有する。

【0010】また前記CSP6は、図10のように、プリント基板PSに実装される。プリント基板PSには、電気回路を構成する電極、配線が設けられ、前記CSP6、パッケージ型半導体装置1、チップ抵抗CRまたはチップコンデンサCC等が電気的に接続されて固着される。

【0011】そしてこのプリント基板で構成された回路は、色々なセットの中に取り付けられる。

【0012】つぎに、このCSPの製造方法を図12および図13を参照しながら説明する。

【0013】まず基材（支持基板）としてガラスエポキシ基板5を用意し、この両面に絶縁性接着剤を介してCu箔20、21を圧着する。（以上図12Aを参照）続いて、第1の電極7、第2の電極8、ダイパッド9、第1の裏面電極10および第2の裏面電極11に対応するCu箔20、21に耐エッチング性のレジスト22を被覆し、Cu箔20、21をパターニングする。尚、パターニングは、表と裏で別々にしても良い。（以上図12Bを参照）続いて、ドリルやレーザを利用してスルーホールTHのための孔を前記ガラスエポキシ基板に形成し、この孔にメッキを施し、スルーホールTHを形成する。このスルーホールTHにより第1の電極7と第1の裏面電極10、第2の電極8と第2の裏面電極10が電気的に接続される。（以上図12Cを参照）更に、図面では省略をしたが、ボンディングポストと成る第1の電極7、第2の電極8にNiメッキを施すと共に、ダイボンディングポストとなるダイパッド9にAuメッキを施し、トランジスタチップTをダイボンディングする。

【0014】最後に、トランジスタチップTのエミッタ電極と第1の電極7、トランジスタチップTのベース電極と第2の電極8を金属細線12を介して接続し、樹脂層13で被覆している。（以上図12Dを参照）以上の製造方法により、支持基板5を採用したCSP型の電気素子が完成する。この製造方法は、支持基板としてフレキシブルシートを採用しても同様である。

【0015】一方、セラミック基板を採用した製造方法を図13のフローに示す。支持基板であるセラミック基板を用意した後、スルーホールを形成し、その後、導電ペーストを使い、表と裏の電極を印刷し、焼結している。その後、前製造方法の樹脂層を被覆するまでは図12の製造方法と同じであるが、セラミック基板は、非常にもろく、フレキシブルシートやガラスエポキシ基板と異なり、直ぐに欠けてしまうため金型を用いたモールドができない問題がある。そのため、封止樹脂をポッティ

ングし、硬化した後、封止樹脂を平らにする研磨を施し、最後にダイシング装置を使って個別分離している。

【0016】

【発明が解決しようとする課題】図11に於いて、トランジスタチップT、接続手段7〜12および樹脂層13は、外部との電気的接続、トランジスタの保護をする上で、必要な構成要素であるが、これだけの構成要素で小型化、薄型化、軽量化を実現する回路素子を提供するのは難しかった。

【0017】また、支持基板となるガラスエポキシ基板5は、前述したように本来不要なものである。しかし製造方法上、電極を貼り合わせるため、支持基板として採用しており、このガラスエポキシ基板5を無くすことができなかった。

【0018】そのため、このガラスエポキシ基板5を採用することによって、コストが上昇し、更にはガラスエポキシ基板5が厚いために、回路素子として厚くなり、小型化、薄型化、軽量化に限界があった。

【0019】更に、ガラスエポキシ基板やセラミック基板では多層配線を実現するには必ずこれらの基板内に作り込むため、多層配線層を接続するスルーホール形成工程が不可欠であり、製造工程も長くなり量産に向かない問題もあった。

【0020】

【課題を解決するための手段】本発明は、前述した多くの課題に鑑みて成され、導電箔を用意し、層間絶縁膜を介して複数層の導電パターンを形成する工程と、所望の前記導電パターンに回路素子を組み込む工程と、前記回路素子を被覆し全体を絶縁性樹脂でモールドする工程と、前記導電箔を除去する工程と、前記絶縁性樹脂を各々の前記回路素子を含み回路装置毎にダイシングにより分離する工程とを具備することを特徴とする。

【0021】本発明では、導電箔がスタートの材料であり、絶縁性樹脂がモールドされるまでは導電箔が支持機能を有し、モールド後は絶縁性樹脂が支持機能を有することで支持基板を不要にする多層配線を実現し、従来の課題を解決することができる。

【0022】

【発明の実施の形態】まず本発明の回路装置の製造方法について図1を参照しながら説明する。

【0023】本発明は、導電箔を用意し、層間絶縁膜を介して複数層の導電パターンを形成する工程と、所望の前記導電パターンに回路素子を組み込む工程と、前記回路素子を被覆し全体を絶縁性樹脂でモールドする工程と、前記導電箔を除去する工程と、前記絶縁性樹脂を各々の前記回路素子を含み回路装置毎にダイシングにより分離する工程とから構成されている。

【0024】図1に示すフローは上述した工程とは一致していないが、Cu箔、Agメッキの2つのフローでその上に形成される多層配線層を支持する導電箔が準備さ

れる。多層配線層形成のフローで導電箔上に複数層の導電パターンを形成する。ダイボンドおよびワイヤーボンディングの2つのフローで導電パターンへの回路素子の固着と回路素子の電極と導電パターンの接続が行われる。トランスファーモールドのフローでは絶縁性樹脂によるモールドが行われる。Cu箔除去のフローでは導電箔のエッチングが行われる。裏面処理のフローでは裏面に露出した導電パターンの電極処理が行われる。ダイシングのフローでは絶縁性樹脂をダイシングして個別の回路素子への分離が行われる。

【0025】以下に、本発明の各工程を図2～図9を参照して説明する。

【0026】本発明の第1の工程は、図2から図3に示すように、導電箔30を用意し、裏面電極となる部分に選択的に導電被膜31をメッキにより付着することにある。

【0027】本工程では、まず図2および図3の如く、シート状の導電箔30を用意する。この導電箔30は、ロウ材の付着性、メッキ性が考慮されてその材料が選択され、材料としては、Cuを主材料とした導電箔、Alを主材料とした導電箔またはFe-Ni等の合金から成る導電箔等が採用される。

【0028】導電箔30の厚さは、後のエッチングを考慮すると10μm～300μm程度が好ましく、ここでは70μm（2オンス）の銅箔を採用した。しかし300μm以上でも10μm以下でも基本的には良い。

【0029】尚、シート状の導電箔30は、所定の幅、例えば45mmでロール状に巻かれて用意され、これが後述する各工程に搬送されても良いし、所定の大きさにカットされた短冊状の導電箔30が用意され、後述する各工程に搬送されても良い。

【0030】続いて、図3に示す如く、導電箔30の表面に選択的に導電被膜31を形成する。すなわち、裏面電極となる部分を残してホトレジスト層PRで導電箔30を被覆し、電界メッキにより露出した導電箔30表面に金、または銀の導電被膜31を形成する。その膜厚は1～10μm程度が好ましい。この導電被膜31は完成した個別の回路装置の裏面電極として用いられるので、半田等のロウ材との接着性の良い金、または銀が適している。

【0031】本発明の第2の工程は、図4Aに示す如く、導電箔30上に層間絶縁膜42を介して複数層の導電パターン43を形成することにある。

【0032】本工程は本発明の特徴とするものであり、層間絶縁膜42と導電パターン43を積層することで多層配線構造を実現する。層間絶縁膜42としては非感光性の熱硬化性樹脂を用いる場合と、感光性のレジスト層を用いる場合とがある。熱硬化性樹脂としてはエポキシ樹脂やポリイミド樹脂が知られており、液状かドライフィルム状で供給される。レジスト層としては感光性のエ

ポキシ樹脂、エポキシアクリレート樹脂、ポリイミド樹脂が知られており、同様に液状かドライフィルム状で供給される。

【0033】本工程では、図4Bに示す如く、まず導電箔30を化学研磨して表面のクリーニングと表面粗化を行う。次に、導電箔30上に熱硬化性樹脂で導電被膜31全面を覆い、加熱硬化させて平坦な表面を有する層間絶縁膜42を形成する。更に、層間絶縁膜42には炭酸ガスレーザーを用いて導電被膜31上に直径が100μm程度のビアホール44を形成する。その後、エキシマレーザーを照射してエッチング滓を除去する。続いて、銅メッキ層45を層間絶縁膜42全面とビアホール44に形成する。この銅メッキ層45はビアホール44の段差で断線しないように、まず無電界銅メッキして全面に約0.5μmと薄く形成し、続いて電界メッキにより約20μmの厚みに形成される。この銅メッキ層45はホトレジストを用いてパターンニングされて、第1層目の導電パターン43を形成する。

【0034】上述した工程を繰り返すことで、導電箔30上には何層もの導電パターン43を層間絶縁膜42を介して積層できる。しかもこの複数層の導電パターン43は導電箔30で支持されているので、ガラスエポキシ基板等の支持基板を用いないで多層配線構造を形成できる特徴を有する。

【0035】また、本工程で感光性のレジスト層で層間絶縁膜42を形成したときは、周知のホトレジストプロセスで感光された部分の層間絶縁膜42をアルコール系の溶剤で除去して、ビアホール44を形成する。他の工程は熱硬化性樹脂で層間絶縁膜42を形成したときと同じである。

【0036】本発明の第3の工程は、図5に示す如く、所望の導電パターン43に回路素子46を組み込むことにある。

【0037】回路素子46としては、トランジスタ、ダイオード、ICチップ等の半導体素子、チップコンデンサ、チップ抵抗等の受動素子である。また厚みが厚くなるが、CSP、BGA等のフェイスダウンの半導体素子も実装できる。

【0038】ここでは、ベアのトランジスタチップ46Aが導電パターン43Aにダイボンディングされ、エミッタ電極と導電パターン43B、ベース電極と導電パターン43Bが、熱圧着によるボールボンディングあるいは超音波によるウェッジボンディング等で固着された金属細線47を介して接続される。また、チップコンデンサ等の受動素子46Bは半田等のロウ材または導電ペーストで導電パターン43に固着される。

【0039】本発明の第4の工程は、図6に示す如く、回路素子46を被覆し全体を絶縁性樹脂50でモールドすることにある。特に、導電箔30に設けた複数個の回路装置を1つの金型で共通モールドしている。

【0040】本工程では、絶縁性樹脂50は回路素子46A、46Bおよび導電パターン43を完全に被覆し、絶縁性樹脂50により導電パターン43が支持されている。

【0041】また本工程では、トランスファーモールド、インジェクションモールド、ポッティングまたはデIPPINGにより実現できる。樹脂材料としては、エポキシ樹脂等の熱硬化性樹脂がトランスファーモールドまたはポッティングで実現でき、ポリイミド樹脂、ポリフェニレンサルファイド等の熱可塑性樹脂はインジェクションモールドで実現できる。

【0042】導電パターン43の表面を被覆する絶縁性樹脂50の厚さは、回路素子46の金属細線47の最頂部から約100 μ m程度が被覆されるように調整されている。この厚みは、強度を考慮して厚くすることも、薄くすることも可能である。

【0043】本工程の特徴は、絶縁性樹脂50を被覆するまでは、導電箔30が支持基板となることである。従来では、図12の様に、本来必要としない支持基板5を採用して導電箔7〜11を形成しているが、本発明では、支持基板となる導電箔30は、電極材料として必要な材料である。そのため、構成材料を極力省いて作業できるメリットを有し、コストの低下も実現できる。従って、シート状の導電箔30として一体で取り扱え、絶縁性樹脂50をモールドする際、金型への搬送、金型への実装の作業が非常に楽になる特徴を有する。

【0044】本発明の第5の工程は、図7に示す如く、導電箔30を除去することにある。

【0045】本工程は、導電箔30を化学的および／または物理的に全部除き、多層配線の導電パターン43を導電箔30から分離するものである。この工程は、研磨、研削、エッチング、レーザの金属蒸発等により施される。

【0046】すなわち、導電箔30は研磨装置または研削装置により全面を50 μ m程度削り、残る部分は化学的にウェットエッチングにより除去して、裏面電極を形成する導電被膜31を露出させている。また、導電箔30を全部を全面ウェットエッチングして裏面電極を形成する導電被膜31を露出させても良い。

【0047】この結果、絶縁性樹脂50に第1層目の導電パターン43の裏面が露出する構造となる。従って、本発明の回路装置では図11に示した従来の裏面電極10、11のように段差が設けられないため、マウント時に半田等の表面張力でそのまま水平に移動してセルフアラインできる特徴を有する。

【0048】更に、導電箔30の裏面処理を行い、図8に示す最終構造を得る。すなわち、必要によって露出した導電被膜31に半田等の導電材を被着して裏面電極51を形成し、回路装置60として完成する。なお裏面電極51を必要としない導電パターン41はエポキシ樹脂

系のレジスト材等の保護被膜で覆うと良い。

【0049】本発明の第6の工程は、図9に示す如く、絶縁性樹脂50を各々の回路素子46を含み回路装置毎にダイシングにより分離することにある。

【0050】本工程では、導電箔30に行列状に多数個の回路装置60が形成され、黒く塗りつぶしたパターンが第1層目の導電パターン43（実際には見えないが）を示している。白い部分は層間絶縁膜42を示している。この導電パターン43の下には、複数層の導電パターン43と層間絶縁膜42があり、最上層の導電パターン43の上に回路素子46が実装され、絶縁性樹脂50で被覆されている。すなわち、図8に示す回路装置60を裏返した状態になっている。

【0051】本工程では、絶縁性樹脂50で一体に支持された多数個の回路装置60をダイシングシート62に貼り付けて、ダイシング装置の載置台に真空中で吸着させ、ダイシングブレード55で各回路装置60間のダイシングライン56に沿って絶縁性樹脂50をダイシングし、個別の回路装置60に分離する。

【0052】本工程で、ダイシングブレード55は完全に絶縁性樹脂50を切断しダイシングシート62の表面に達する切削深さでダイシングを行い、完全に個別の回路装置60毎に分離する。ダイシング時は予め前述した第1の工程で設けた各ブロックの周辺の枠状のパターン57の内側に設けた位置合わせマーク61を認識して、これを基準としてダイシングを行う。周知ではあるが、ダイシングは縦方向にすべてのダイシングライン56をダイシングをした後、載置台を90度回転させて横方向のダイシングライン56に従ってダイシングを行う。

【0053】また本工程では、ダイシングライン56には層間絶縁膜42と絶縁性樹脂50しか存在しないので、ダイシングブレード55は導電パターン43を切断せず摩耗は少なく、金属バリも発生せず極めて正確な外形にダイシングできる特徴がある。

【0054】更に本工程後でも、ダイシング後もダイシングシート62の働きで個別の回路装置60にバラバラにならず、その後のテーピング工程でも効率よく作業できる。すなわち、ダイシングシート62に一体に支持された回路装置60は良品のみを識別してキャリアテープの収納孔に吸着コレットでダイシングシート62から離脱させて収納できる。このために微小な回路装置60であっても、テーピングまで一度もバラバラに分離されない特徴がある。

【0055】

【発明の効果】本発明では、導電パターンの材料となる導電箔自体を支持基板として機能させ、回路素子の実装、絶縁性樹脂の被着時までは導電箔で全体を支持し、また導電箔を除去する時は、絶縁性樹脂を支持基板にして機能させている。従って、回路素子、導電箔、導電パターン、絶縁性樹脂の必要最小限で製造できる。従来例

で説明した如く、本来回路装置を構成する上で支持基板が要らなくなり、コスト的にも安価にできる。

【0056】また、本発明では、導電箔上に複数層の導電パターンを形成でき、しかもこれらの導電パターンは製造工程中には導電箔が絶縁性樹脂で支持されるので、従来のような支持絶縁基板を不要にできる。この結果、小型の回路装置であっても多層配線構造をその内部にビルトインでき、その支持基板も不要にできるので極めて薄型で小型の回路装置を大量に製造できる特徴がある。更に、ダイシング工程では位置合わせマークを用いてダイシングラインの認識が早く確実に行われる利点をし、ダイシングは層間絶縁膜および絶縁性樹脂層のみの切断でよく、導電パターンを切断しないことによりダイシングブレードの寿命も長くでき、導電箔を切断する場合に発生する金属バリの発生もない。

【0057】最後に、図13から明白なように、スルーホール形成工程、導体の印刷工程（セラミック基板の場合）等を省略できるので、従来より製造工程を大幅に短縮でき、全工程を内作できる利点を有する。またフレーム金型も一切不要であり、極めて短納期となる製造方法である。

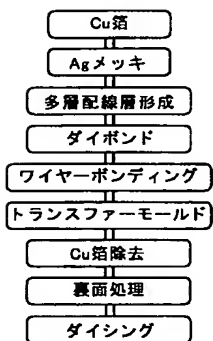
【図面の簡単な説明】

【図1】本発明の製造フローを説明する図である。

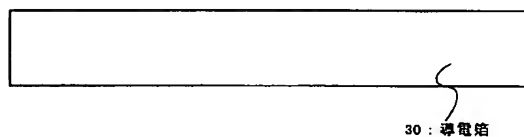
【図2】本発明の回路装置の製造方法を説明する図である。

【図3】本発明の回路装置の製造方法を説明する図である。

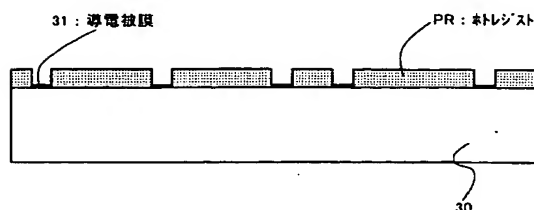
【図1】



【図2】



【図3】



【図4】本発明の回路装置の製造方法を説明する図である。

【図5】本発明の回路装置の製造方法を説明する図である。

【図6】本発明の回路装置の製造方法を説明する図である。

【図7】本発明の回路装置の製造方法を説明する図である。

【図8】本発明の回路装置の製造方法を説明する図である。

【図9】本発明の回路装置の製造方法を説明する図である。

【図10】従来の回路装置の実装構造を説明する図である。

【図11】従来の回路装置を説明する図である。

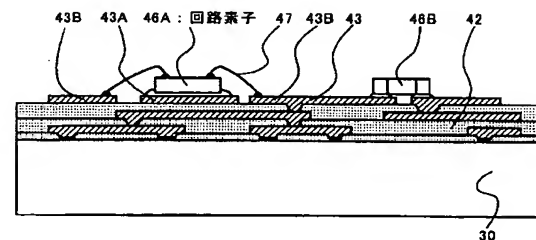
【図12】従来の回路装置の製造方法を説明する図である。

【図13】従来の回路装置の製造方法を説明する図である。

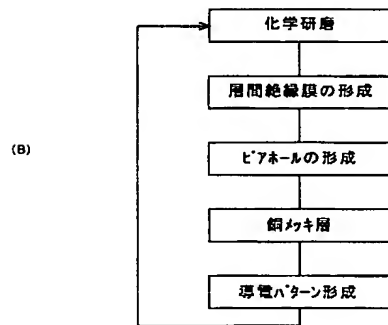
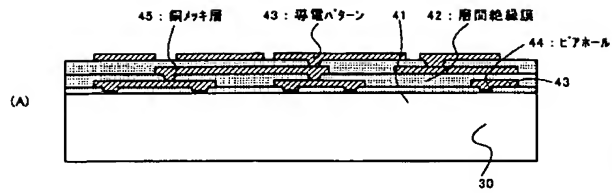
【符号の説明】

30	導電箔
42	層間絶縁膜
43	複数層の導電パターン
44	ビアホール
46	回路素子
50	絶縁性樹脂
60	個別の回路装置

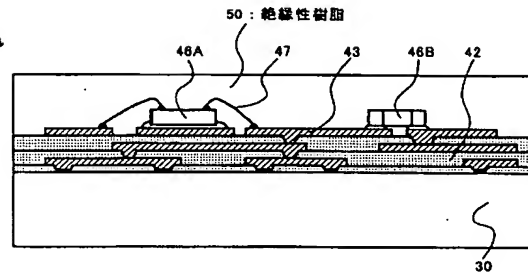
【図5】



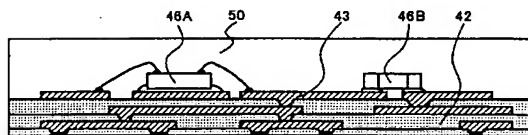
【図4】



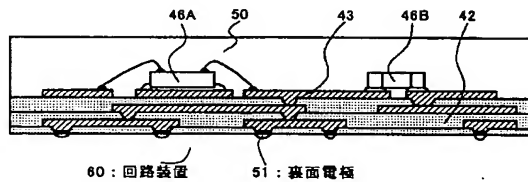
【図6】



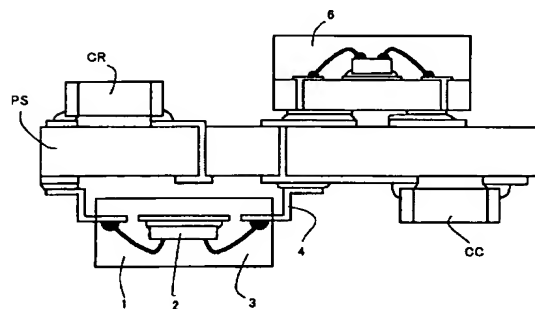
【図7】



【図8】



【図10】



【図11】

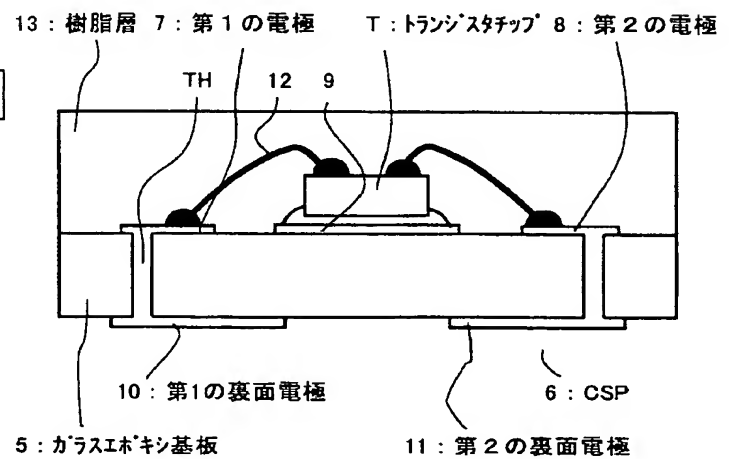
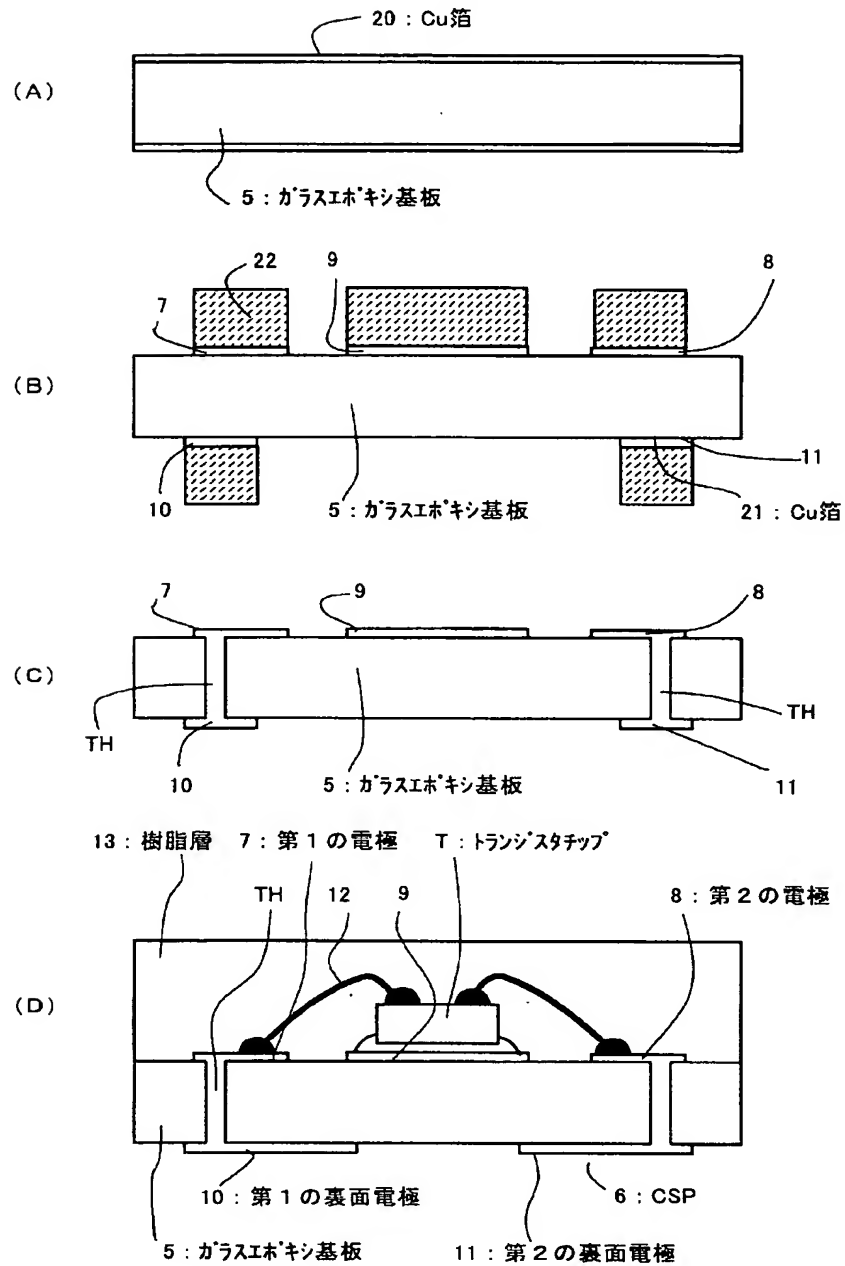
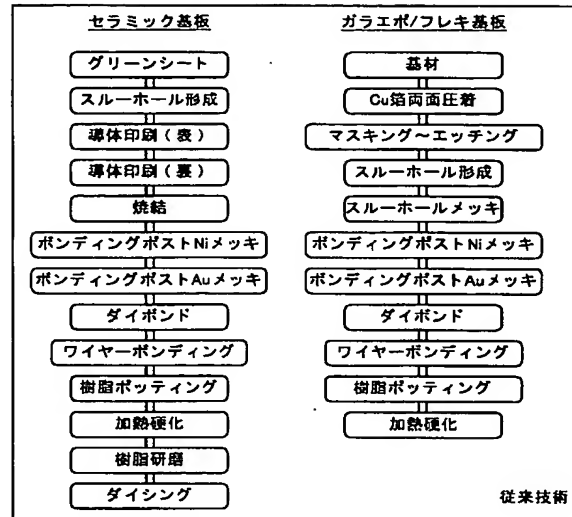


Figure 1 is a plan view of a semiconductor device. The device is rectangular with a central array of circuit blocks (31) arranged in a 6x3 grid. The array is surrounded by a thick black border (30). The entire device is enclosed in a wavy line (62). A dashed line (56) runs vertically through the center of the array. A circular feature (55) is located at the top left. Labels 60, 61, and 57 are at the bottom, and 63 is at the top right.

【図12】



【図 13】



フロントページの続き

(51) Int. Cl.⁷

H05K 3/46

識別記号

F I

H01L 23/12

テーマコード* (参考)

N

- (72) 発明者 阪本 純次
大阪府守口市京阪本通 2 丁目 5 番 5 号 三
洋電機株式会社内
- (72) 発明者 岡田 幸夫
大阪府守口市京阪本通 2 丁目 5 番 5 号 三
洋電機株式会社内
- (72) 発明者 五十嵐 優助
大阪府守口市京阪本通 2 丁目 5 番 5 号 三
洋電機株式会社内
- (72) 発明者 前原 栄寿
大阪府守口市京阪本通 2 丁目 5 番 5 号 三
洋電機株式会社内

- (72) 発明者 高橋 幸嗣
群馬県伊勢崎市喜多町 29 番地 関東三洋電
子株式会社内
- F ターム (参考) 4M109 AA01 BA03 CA04 CA07 CA21
DA10 DB15 EA02 EA07 EA13
GA10
5E314 AA14 AA25 BB02 BB11 CC17
EE05 FF02 FF05 FF17 GG24
5E346 AA12 AA15 AA43 AA60 BB01
CC08 CC32 CC34 CC37 CC38
CC39 DD22 DD25 DD31 EE31
FF04 FF45 GG01 GG15 GG17
GG40 HH33
5F061 AA01 BA03 CA04 CA07 CA21
CB13 FA06